

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-246927

(43)Date of publication of application : 13.10.1988

(51)Int.Cl.

H03M 1/36

H01C 13/00

H03H 7/24

H03K 17/00

(21)Application number : 62-081523

(71)Applicant : NEC CORP

(22)Date of filing : 01.04.1987

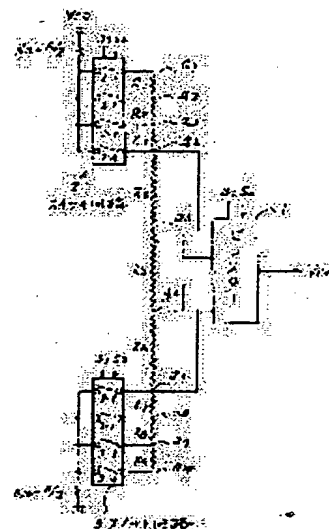
(72)Inventor : YOSHIZAWA KAZUTOSHI

(54) REFERENCE VOLTAGE GENERATING CIRCUIT

(57)Abstract

PURPOSE: To decrease the chip area by providing a 1st switch circuit connecting to a resistor connected to a DC power supply and to each division node of a 1st division resistance string and a 2nd switch circuit connecting a resistor connected to ground and each division node of a 3rd division resistance string.

CONSTITUTION: A DC power supply VCC is connected to a resistor R0 whose resistance is R/2, the resistor R0 is connected to division points a1 a4 of a 1st resistor string comprising resistors R1 R3 whose resistance is R via changeover switches 2-1 2-4 of the switch circuit 2. On the other hand, the earth point is connected to a resistor R10 whose resistance is R/2 and the resistor R10 is connected to division points a7 a10 of a 3rd resistor string comprising resistors R7 R9 whose resistance is R. Thus, number of connections with a selector 1 corresponding to the reference division resistor is reduced remarkably and the chip area is decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑤ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)10月13日

H 03 M 1/36
H 01 C 13/00
H 03 H 7/24
H 03 K 17/00

6832-5J
K-7303-5E
7328-5J
A-7190-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 基準電圧発生回路

⑮ 特 願 昭62-81523

⑯ 出 願 昭62(1987)4月1日

⑰ 発 明 者 吉 澤 和 俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

基準電圧発生回路

2. 特許請求の範囲

直流電源とアース間に基準分割抵抗を接続して基準電圧を発生する基準電圧発生回路において、 $R[Q]$ の抵抗を n (正整数)個直列に接続した第1の分割抵抗ストリングと、 $nR[Q]$ の抵抗を $(n-1)$ 個直列に接続した第2の分割抵抗のストリングと、 $R[Q]$ の抵抗を n 個直列に接続した第3の分割抵抗ストリングとを、前記第1、第2および第3の分割抵抗ストリングの順に直列接続することにより前記基準分割抵抗として形成される一連の抵抗ストリングと、直流電源に接続した $R/2[Q]$ の抵抗と前記第1の分割抵抗ストリングの各分割接点とをそれぞれ独立に選択して接続させる第1のスイッチ回路と、アースに接続した $R/2[Q]$ の抵抗と前記第3の分割抵抗ストリン

グの各分割接点とをそれぞれ独立に選択して接続させる第2のスイッチ回路と、前記第2の分割抵抗ストリングの各分割接点の内より、一つの分割接点を選択して基準電圧を出力するセレクターと、を備えることを特徴とする基準電圧発生回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は基準電圧発生回路に関し、特に分割抵抗により基準電圧を発生する基準電圧発生回路の改良に関する。

(従来の技術)

一般にA/Dコンバータ等において、アナログ電圧のレベルを判定してデジタル値に変換する場合には、前記アナログ電圧のレベルを比較照合するための基準電圧の発生手段として、複数の分割抵抗により構成した基準電圧発生回路が用いられる。

従来、この種の基準電圧発生回路においては、その一例のブロック図が第3図に示されるように、

直流電源 V_{cc} とアース間を、 $R/2$ (Q) の抵抗と 15 個の R (Q) の抵抗、及び $R/2$ (Q) の抵抗とが直列に接続されており、直流電源 V_{cc} は、分割点 $b_1 \sim b_{16}$ を介して 16 分割される。分割点 $b_1 \sim b_4$ に対応する電圧はセレクタ-5 に、分割点 $b_5 \sim b_{12}$ に対応する電圧はセレクタ-7 に、分割点 $b_{13} \sim b_{16}$ に対応する電圧はセレクタ-8 に、それぞれ入力される。

第3図に示される従来例は、分解能が4ビットの場合の基準電圧発生回路の構成例であるが、セレクタ5、6、7および8に対しては、それぞれセレクト信号 S_3 および S_2 が入力されており、このセレクト信号により制御されて、セレクタ-5、6、7及び8においては、それぞれ分割点 $b_1 \sim b_4$ 、分割点 $b_5 \sim b_8$ 、分割点 $b_9 \sim b_{12}$ および分割点 $b_{13} \sim b_{16}$ の内より、それぞれにおいて選択される一分割点に対応する電圧が選択されてセレクタ4に出力される。セレクタ4においてはセレクタ5、6、7、8より入力される4つの分割電圧の内よりセレクト信号 S_0 、 S_1 により1

つの電圧が選択され、基準電圧 V_{ref} として出力される。即ち、セレクト信号 S_0 、 S_1 、 S_2 、 S_3 および S_4 の組合せにより、16種類の基準電圧を生成することができる。

(発明が解決しようとする問題点)

上述した従来の基準電圧発生回路は、抵抗値の等しい分割抵抗を発生しようとする基準電圧の種類-1個直列に接続し、両端を含めた各分割抵抗の分割点の内1つをセレクタで選択して基準電圧として出力する構成となっているため、特に基準電圧の分解能を高くする場合に、分割抵抗に対応する分割点の数が増大し、従って全分割点の内より1つの分割点を選択して出力するセレクタの構成も複雑となり、これらを集積回路により実現する際にチップ面積が増大するという欠点がある。

例えば、前述の第3図に示される従来例を8ビット分解能の基準電圧発生回路に適用する場合には、2個の $R/2$ (Q) の抵抗の他に $2^5 - 1 (= 2^5 - 1)$ 個の分割抵抗の 2^5 個の分割点の内から

1点を選択して出力しなければならないため、各分割点からセレクタまでの配線が多くなり、また8ビットのセレクト信号による制御により1入力を選択するセレクタの構成も複雑化され、例えば各種の周辺回路とともに A/D コンバータを内蔵する1チップマイクロコンピュータを実現する場合などにおいては、他の周辺回路に比較して基準電圧発生回路の面積が大きく、チップ全体の面積が増大する要因となっている。

(問題点を解決するための手段)

本発明の基準電圧発生回路は、直流電源とアース間に分割抵抗を接続して基準電圧を発生する基準電圧発生回路において、 R (Q) の抵抗を n (正整数) 個直列に接続した第1の分割抵抗ストリングと、 $n R$ (Q) の抵抗を $(n-1)$ 個直列に接続した第2の分割抵抗ストリングと、 R (Q) の抵抗を n 個直列に接続した第3の分割抵抗ストリングとを、前記第1、第2、第3の分割抵抗ストリングの順に直列接続することにより前記基準分割抵抗として形成される一連の抵抗ストリングと、直

流電源に接続した $R/2$ (Q) の抵抗と前記第1の分割抵抗ストリングの各分割接点とをそれぞれ独立に選択して接続させる第1のスイッチ回路と、アースに接続した $R/2$ (Q) の抵抗と前記第3の分割抵抗ストリングの各分割点とをそれぞれ独立に選択して接続させる第2のスイッチ回路と、前記第2の分割抵抗ストリングの各分割接点の内より1つの分割接点を選択して基準電圧を出力するセレクタとを備えて構成される。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例である。本実施例は、4ビット分解能の基準電圧を生成する場合の一例で、セレクタ1と、スイッチ回路2および3と、9個の抵抗 $R_1 \sim R_9$ と、抵抗値 $R/2$ (Q) の抵抗 R_0 と R_{10} とが備えられている。

第1図において、スイッチ回路2にはセレクト信号 (S_3 、 S_2) により切替制御される切替スイッチ $2-1 \sim 2-4$ が含まれており、スイッチ回路3にはセレクト信号 (S_3 、 S_2) により切替制御

される切替スイッチ 3-1~3-4 が含まれている。直流電源 V_{cc} は、 $R/2$ (Ω) の抵抗 R_0 に接続し、抵抗 R_0 はスイッチ回路 2 の各切替スイッチ 2-1, 2-2, 2-3, 2-4 を介して、抵抗値 R (Ω) の各抵抗 R_1, R_2, R_3 より成る第 1 の抵抗ストリングの各分割点 a_1, a_2, a_3, a_4 に接続されるように形成され、一方、アース点は、 $R/2$ (Ω) の抵抗 R_{10} に接続し、抵抗 R_{10} はスイッチ回路 3-1, 3-2, 3-3, 3-4 を介して、抵抗値 R (Ω) の各抵抗 R_7, R_8, R_9 より成る第 3 の抵抗ストリングの各分割点 a_7, a_8, a_9, a_{10} に接続されるように形成されている。また、前記第 1 及び第 3 の抵抗ストリングの間には、抵抗値 $4R$ (Ω) の各抵抗 R_4, R_5, R_6 より成る第 2 の抵抗ストリングが直列接続され、各分割点 a_4, a_5, a_6, a_7 はそれぞれセレクター 1 に接続されている。

スイッチ回路 2 にセレクト信号 (S_1, S_2) = (0, 0) が入力された場合には、スイッチ回路 2 の切替スイッチ 2-1 がオン、切替スイッチ 2-2 ~

2-4 がオフとなり、スイッチ回路 3 において切替スイッチ 3-1 がオン、切替スイッチ 3-2 ~ 3-4 がオフとなる。このときセレクト信号 (S_1, S_0) の組合せにより第 2 図(1)に示すようにそれぞれ $(125/16)V_{cc}, (85/16)V_{cc}, (45/16)V_{cc}, (0.5/16)V_{cc}$ の 4 通りの基準電圧 V_{ref} が得られる。なお、第 2 図(1), (2), (3), (4)において抵抗 $R_1 \sim R_3, R_7 \sim R_9$ に対してはそれぞれ抵抗値 R (Ω) が記載され、抵抗 $R_4 \sim R_6$ に対してはそれぞれ抵抗値 $4R$ (Ω) が記載されている。

次に、セレクト信号 (S_1, S_2) = (0, 1) のとき、スイッチ回路 2 の切替スイッチ 2-2 がオン、切替スイッチ 2-1, 2-3, 2-4 がオフとなり、スイッチ回路 3 の切替スイッチ 3-2 がオン、切替スイッチ 3-1, 3-3, 3-4 がオフとなる。このときセレクト信号 (S_1, S_0) の組合せにより第 2 図(2)に示すように $(135/16)V_{cc}, (95/16)V_{cc}, (55/16)V_{cc}, (15/16)V_{cc}$ の 4 通りの基準電圧 V_{ref} が得られる。同様にしてセレクト信号 (S_1, S_2) = (1, 0) のと

きには第 2 図(3)に示すように $(145/16)V_{cc}, (105/16)V_{cc}, (65/16)V_{cc}, (25/16)V_{cc}$ の 4 通りの基準電圧 V_{ref} が得られ、セレクト信号 (S_1, S_2) = (1, 1) のときには第 2 図(4)に示すように $(155/16)V_{cc}, (115/16)V_{cc}, (75/16)V_{cc}, (35/16)V_{cc}$ の 4 通りの基準電圧 V_{ref} が得られる。従って、セレクト信号 (S_1, S_2) および (S_1, S_0) の組合せにより合計 16 通りの基準電圧が得られる。

なお、上記の実施例においては 4 ビット分解能の場合について説明したが、一般的には N (正整数) ビット分解能の場合にも適用され、例えば 8 ビット分解能の場合には第 1 図の抵抗値 $R/2$ (Ω) の抵抗 R_0 と、 R_{10} の間に直列接続される各抵抗ストリングのうち、第 1 の抵抗ストリングと第 3 の抵抗ストリングは、それぞれ 15 個の R (Ω) の抵抗によって構成され、第 2 の抵抗ストリングは 15 個の $16R$ (Ω) の抵抗によって構成される。この場合には $(0.5/256)V_{cc} \sim (255.5/256)V_{cc}$ の 256 通りの基準電圧が得られる。

前述の 4 ビット分解能および 8 ビット分解能の各場合において、前者の場合には 2 つのスイッチ回路と相対応する抵抗ストリングとの間の結線数は計 8 本、後者の場合には計 32 本で、セレクターと相対応する抵抗ストリングとの間の結線数は前者の場合は 4 本、後者の場合は 16 本となる。これらの結線数は、従来の基準電圧発生回路における結線数に比較して大幅に削減される。特に結線数の削減度は分解能が高くなるほどその効果が顕著である。

尚、第 1 図および第 3 図で示したスイッチ回路は機械的スイッチで図示してあるが、本実施例の基準電圧発生回路を集積回路上で実現する際には MOS トランジスタ等で構成できることは言うまでもない。

〔発明の効果〕

以上説明したように、本発明は、直流電源とアース間に基準分割抵抗を接続して構成される基準電圧発生回路に適用することができ、前記基準分割抵抗と対応するセレクター等との間の結線数を

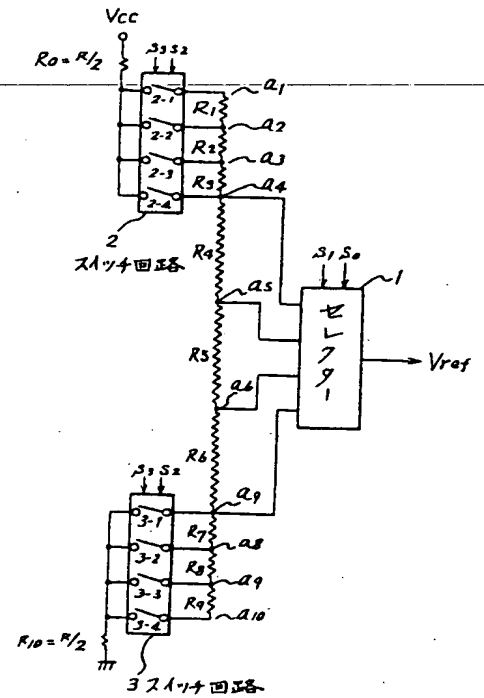
大幅に削減することにより、前記セレクター等の構成を簡素化することが可能であり、集積回路による実現も極めて小さいチップ面積により可能である。

4. 図面の簡単な説明

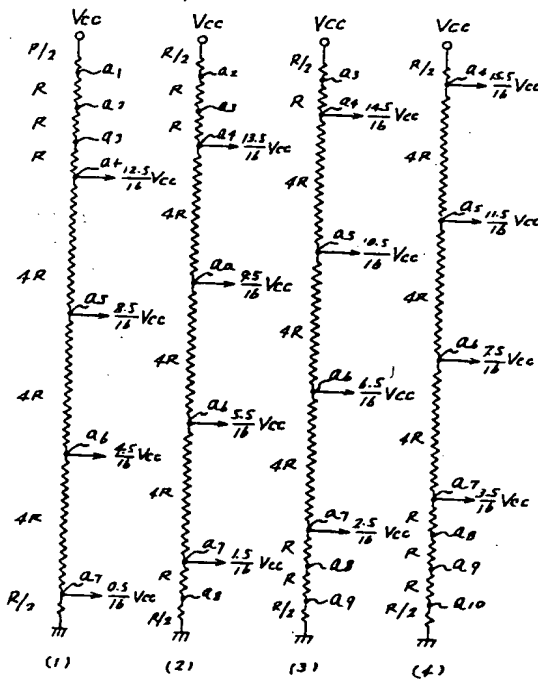
第1図は本発明の一実施例を示すブロック図、第2図は前記一実施例における基準電圧生成図、第3図は従来の基準電圧発生回路のブロック図である。

1, 4, 5, 6, 7, 8……セレクター、2, 3……スイッチ回路、2-1~2-4, 3-1~3-4……切替スイッチ。

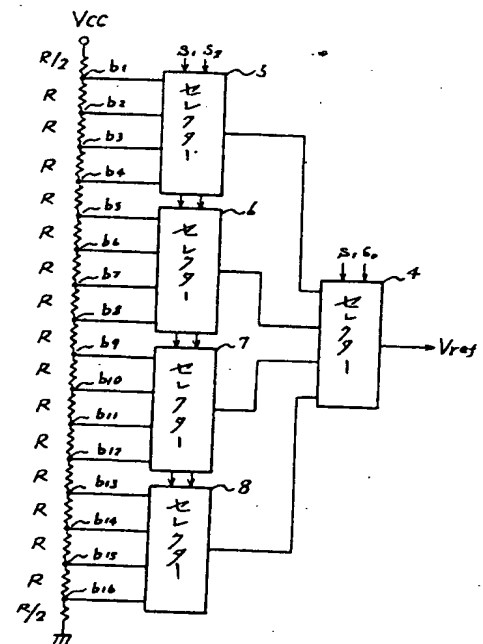
代理人 井理士 内 原 晋



第 1 図



第 2 図



第 3 図(従来例)